



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08340089 A**(43) Date of publication of application: **24 . 12 . 96**

(51) Int. Cl. **H01L 27/108**
H01L 21/8242
G11C 11/401

(21) Application number: **07108691**(22) Date of filing: **02 . 05 . 95**(30) Priority: **12 . 04 . 95 JP 07 87211**(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **TAKASHIMA DAIZABURO**
SHIRATAKE SHINICHIRO
INABA TSUNEO

(54) **SEMICONDUCTOR STORAGE DEVICE**

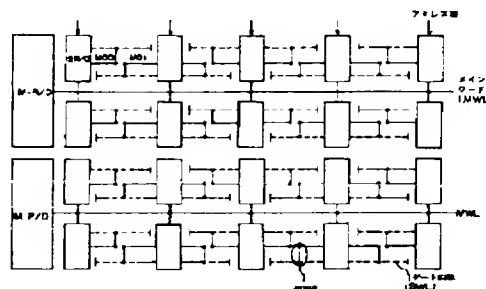
(57) Abstract:

PURPOSE: To relieve the rule of metallic wiring and increase the operating speed of a semiconductor storage device without increasing the chip size of the device by forming a first wiring layer from a sub-row decoder above gate wiring and bringing the first wiring layer into contact with the gate wiring at the point where a sub-array is divided into two parts in the direction of word lines.

CONSTITUTION: On gate wiring, main word lines MWL are arranged to the point at which a sub-array is further divided into two parts from sub-row decoders S.R/D in the same metallic wiring layer and the lines MWL are brought into contact with the gate wiring at the dividing point in the same way as the snap system. Metallic lines M00 and M01 are not arranged in parallel to each other in the direction of the word lines by terminating one metallic line M00 for the output of the sub-row decoder from one end of the sub-array and another metallic line M01 for the output of another sub-row decoder from the other end of the sub-array at the dividing point. When the metallic wires are arranged in such a state, the number of the metallic wires can be

reduced to three, one main work line MWL and two lines for snap, in contrast to the four gate lines.

COPYRIGHT: (C)1996,JPO





1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-340089

(43) 公開日 平成8年(1996)12月24日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 8 1 A
21/8242			G 1 1 C 11/34	3 7 1 K
G 1 1 C 11/401			H 0 1 L 27/10	6 8 1 B

審査請求 未請求 請求項の数14 O L (全 19 頁)

(21) 出願番号 特願平7-108691

(22) 出願日 平成7年(1995)5月2日

(31) 優先権主張番号 特願平7-87211

(32) 優先日 平7(1995)4月12日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高島 大三郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 白武 慎一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 稲場 恒夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

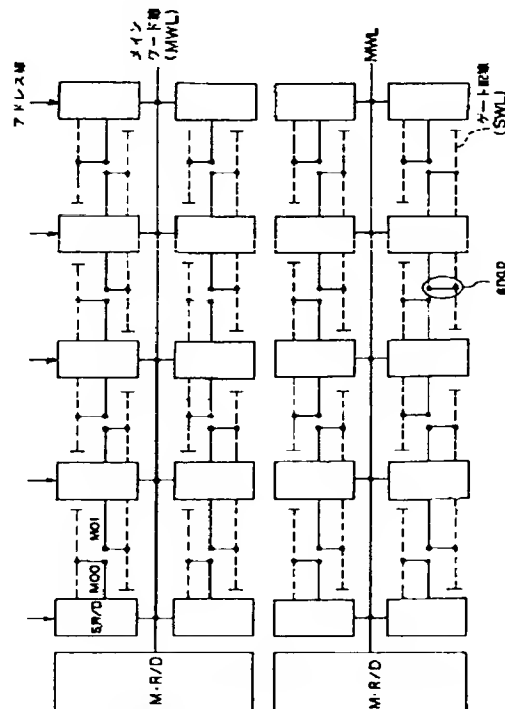
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 金属配線のルールを緩和することができ、かつチップサイズの増大やゲート配線の低抵抗化を要することなく高速化をはかり得るDRAMを提供すること。

【構成】 複数本のゲート配線からなるワード線と複数本のビット線との交点に選択的にメモリセルが配置されるメモリセルアレイと、ワード線方向のメモリセルアレイ端に配置されるメインロウデコーダM・R/Dと、メモリセルアレイをワード線方向に分割した各サブアレイの端に配置されるサブロウデコーダS・R/Dとを備えたDRAMにおいて、ゲート配線SWLより上層にサブロウデコーダS・R/Dからの金属配線層MWLを形成し、サブアレイをワード線方向に2分割した位置で、金属配線層MWLとゲート配線SWLとのコンタクトを取ること。



【特許請求の範囲】

【請求項1】複数本のゲート配線からなるワード線と複数本のビット線との交点に選択的にメモリセルが配置されるメモリセルアレイと、ワード線方向のメモリセルアレイ端に配置されるメインロウデコーダと、メモリセルアレイをワード線方向に分割した各サブアレイの端に配置されるサブロウデコーダとを備えた半導体記憶装置において、

前記ゲート配線より上層に前記サブロウデコーダからの第1の配線層を形成し、前記サブアレイをワード線方向に2分割した位置で、第1の配線層とゲート配線とのコンタクトを取ることを特徴とする半導体記憶装置。

【請求項2】前記サブアレイの一方端のサブロウデコーダからの第1の配線層と反対端のサブロウデコーダからの第1の配線層とは、各々のサブロウデコーダからサブアレイを2分割した位置まで配線され、かつワード線方向でほぼ同一直線上に配置されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記メインロウデコーダと前記サブロウデコーダとを接続する配線は、第1の配線層と同じ配線層であることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】前記メインロウデコーダと前記サブロウデコーダとを接続する配線は、サブアレイ上は第1の配線層と同じで、サブロウデコーダ上は第1の配線層とは異なる第2の配線層であることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項5】第1、第2の配線層はアルミニウム配線或いは銅配線であることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項6】前記ゲート配線は、ポリSi、WSi、W、MSi、M、TiSiの内のいずれかを含む配線であることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項7】前記メインロウデコーダは、前記メモリセルアレイのワード線方向の両端に配置されることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項8】前記ゲート配線の4本に3本の割合で第1の配線層が配置されることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項9】前記ゲート配線の8本に5本の割合で第1の配線層が配置されることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項10】複数本のワード線と複数本のビット線の交点に選択的にメモリセルが配置されるメモリセルアレイと、ワード線方向のメモリセルアレイ端に配置されるメインロウデコーダと、メモリセルアレイをワード線方向に複数に分割した各サブアレイの端に配置されるサブロウデコーダとを備えた半導体記憶装置において、前記ワード線の複数本に1本の割合でメモリセルアレイ

上に配置されてサブロウデコーダを制御するメインワード線は、メモリセルアレイの一端に配置される第1のメインロウデコーダと他端に配置される第2のメインロウデコーダに、交互に1本おきに接続されることを特徴とする半導体記憶装置。

【請求項11】前記メインワード線は、前記サブアレイ上は第1の金属配線で、前記サブロウデコーダ上は第2の金属配線に接続を切り換えられることを特徴とする請求項10記載の半導体記憶装置。

【請求項12】前記サブアレイ上のゲート配線は、前記サブロウデコーダ上はビット線と同一配線に切り換えられることを特徴とする請求項10記載の半導体記憶装置。

【請求項13】複数本のゲート配線からなるワード線と複数本のビット線との交点に選択的にメモリセルが配置されるメモリセルアレイと、ワード線方向のメモリセルアレイ端に配置されるメインロウデコーダと、メモリセルアレイをワード線方向に分割した各サブアレイの端に配置されるサブロウデコーダとを備えた半導体記憶装置において、

前記サブアレイをワード線方向に2分割して2つの孫アレイに分類し、

前記複数のワード線の2本に1本の割合で、2つの孫アレイの中間の境界部でゲート配線が分断されて孫アレイ毎に配置され、残りのワード線のゲート配線は2つの孫アレイの間で分断されないことを特徴とする半導体記憶装置。

【請求項14】複数本のゲート配線からなるワード線と複数本のビット線との交点に選択的にメモリセルが配置されるメモリセルアレイと、ワード線方向のメモリセルアレイ端に配置されるメインロウデコーダと、メモリセルアレイをワード線方向に分割した各サブアレイの端に配置されるサブロウデコーダとを備えた半導体記憶装置において、

前記ゲート配線よりも上層に前記サブロウデコーダからの第1の配線層を形成し、前記サブアレイをワード線方向に2分割して2つの孫アレイに分類し、2つの孫アレイの中間の境界部でゲート配線を2本に1本の割合で分断し、

ゲート配線が分断されないワード線に対しては、孫アレイの境界部で第1の配線層とコンタクトを取り、ゲート配線が分断されたワード線のうち、該ワード線を駆動するサブロウデコーダに近いものは、サブロウデコーダとサブアレイの境界部分において第1の配線層とコンタクトを取り、遠い側のものは、孫アレイの境界部において第1の配線層とコンタクトを取ることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ダイナミック型半導体

記憶装置に係わり、特にメモリセルアレイ内のワード線配置の改良をはかった半導体記憶装置に関する。

【0002】

【従来の技術】近年、半導体の微細加工技術の発展により高密度量産品では4M、16Mビット、研究開発では1GビットのDRAMが製作できるようになってきた。しかしながら、サブミクロン時代になってくると、リソグラフィ技術の遅れにより配線等の加工が困難になっている。特に、上層に形成される金属配線等が、下地の段差等により加工が困難となっている。

【0003】図20(a)は従来のDRAMのセルアレイ部の構成を示す。ワード線W1～W4、ビット線BL1、/BL1、BL2、/BL2の各交点にメモリセルMC1～MC8が選択的に配置される。로우デコーダR/D1～R/D4により選択されたワード線WLにつながるメモリセルデータはビット線BLを通して読み出され、センスアンプS/A1、S/A2で増幅される。

【0004】ワード線WLは、メモリセルMCのトランジスタの配線となるゲート配線のみでは、この材料が比較的高抵抗であることから選択時の立上り/立下りのRC遅延が大きい。このため、従来図20(b)に示すようにゲート配線上をA1等の金属配線を並列に重ね、セルアレイを分割して途中で金属配線とゲート配線のコンタクトを取っている。この部分を通常、シャント(shunt)、スナップ(snap)或いはスティッチ(stitch)と呼んでいる。また、このコンタクトは図20(c)に示すように、1度中間の配線に落としていたりもする。

【0005】しかしながら、この方式には次のような問題点がある。図20(d)に示すように、ゲート配線のピッチ(L1=ライン、S1=スペース)と金属配線のピッチ(L2=ライン、S2=スペース)を同一にしなければならず、上層で下地段差があり、しかも金属自身の加工が困難なため、金属配線の加工が困難な問題点があった。

【0006】そこで最近、SRAM等で用いられてきた階層ワード線方式をDRAMでも取り入れる試みが成されてきた。図21(a)は、従来のDRAMにおける階層ワード線方式を示す。また、図23に図21のチップの上から見た平面ブロック図を示す。

【0007】メインロウデコーダ(M・R/D)の出力が与えられる金属配線からなるメインワード線(MWL)が、ゲート配線となるポリSi等のサブワード線(SWL)の4本に1本の割合で配置され、1つのメモリセルアレイが複数に分割され、その間にサブのロウデコーダ(S・R/D)が配置される。即ち、金属の配線がゲート配線4本に1本の割合であることが分かる。

【0008】サブロウデコーダは、メインワード線信号とビット線方向からのアドレス信号WDRVによりデコードされ、ゲート配線を駆動する。このビット線方向からのアドレス信号によるデコードにより、メインロウデ

コーダ及びその出力の金属配線のメインワード線のピッチを図21(b)に示すように、ゲート配線のピッチの4倍に大幅に緩和できる。図21(b)において $L3 + S3 = 4(L1 + S2)$ となるわけである。

【0009】しかしながら、この従来方式においても次のような問題点があった。snap方式は、コンタクトを落とすのみであるのに対して、階層ワード線方式は、サブのロウデコーダ回路を分散配置させるため、サブロウデコーダ部の面積がsnapに比べ大きくなるため、snap-snap間のカラム数より $S \cdot R / D - S \cdot R / D$ 間のカラム数を多くしないとチップサイズが大きくなる。逆に、階層ワード線方式の $S \cdot R / D - S \cdot R / D$ 間のカラム数を多くすると、このサブアレイ内のゲート配線の抵抗によるRC遅延が大きくなる。

【0010】図22に示すように、snap方式とほぼ同等のチップサイズにするには

$$2 \times (\text{カラム数} / \text{snap}) = \text{カラム数} / \text{サブロウデコーダ}$$

即ち、階層ワード線の $S \cdot R / D - S \cdot R / D$ 間のカラム数をsnap方式のsnap-snap間のカラム数の倍、或いはそれ以上にする必要がある。snap部面積より、サブロウデコーダの面積は倍以上あるが、その反面、階層ワード線方式はメインロウデコーダにつながるアレイがsnap方式より多くできるため、トータルで考えると2倍程度で面積同等となる。このとき、ゲート配線遅延RCはカラム数倍により、

$$RC = (2R) \times (2C) = 4RC$$

で4倍遅くなるため、結果として同一スピードを保つためにはsnap方式に比べゲート配線の低抵抗化のための開発及びコスト幅が必要となる。

【0011】また、従来の階層ワード線方式には、次のような問題もあった。図24に示すようにサブアレイ上は確かに金属配線のルールは緩和できる反面、メインロウデコーダ、サブロウデコーダの金属配線のピッチは従来のままで緩和できず、結局は金属配線のルールはメインロウデコーダ、サブロウデコーダルールで制約されてしまう。

【0012】従来、図20のsnap方式はロウデコーダのルールはセルアレイ上のルールに比べ緩和できていたが、図21の階層ワード線方式は、逆にサブアレイ上のルールが大幅に緩和されたために、メインロウデコーダ、サブロウデコーダのルールで制約されるわけである。

【0013】例えば図24において、メインロウデコーダのウェルに対してコンタクトを取る場合、ビット線方向に走る第2層金属配線(図示せず)から第1層金属配線(メタル1)に落として、ウェルに落とすため(A)部のように第1層金属配線のピッチは半減する。第1層金属配線-第2層金属配線のコンタクトのルールが大きいため、(A)部の第1層金属配線のルールはサブアレ

イの半分未満となる。これは、他のワード線電源(VSV)の(B)部でも同様、また(C)部のように、メインロウデコーダ内の他の配線、例えば下回路の(S1)信号をメインワード線と並列配線すると益々厳しくなる。また、サブロウデコーダ部も同様で、ここに(A)のような部分は存在し、さらにサブワード線を(D)のように、第1層金属配線で形成すると益々厳しくなる。

【0014】

【発明が解決しようとする課題】このように従来、メモリセルアレイ内のワード線配置に関して、snap方式では金属配線ピッチが厳しく加工が困難であり、階層ワード線方式では、ピッチは緩いがゲート配線を低抵抗化しないと遅延が大きくなり、さらにチップサイズが大きくなる問題があった。

【0015】また、従来の階層ワード線方式は、サブアレイ上の金属配線のピッチは大幅に緩和できる反面、メインロウデコーダ、サブロウデコーダの金属配線のルールは従来のままで、結局この部分で金属配線のルールが制約されてしまう問題があった。

【0016】本発明は、上記事情を考慮してなされたもので、その目的とするところは、階層ワード線方式により金属配線のルールを緩和することができ、かつチップサイズの増大やゲート配線の低抵抗化を要することなく高速化をはかり得るダイナミック型の半導体記憶装置を提供することにある。

【0017】また、本発明の他の目的は、階層ワード線方式において、サブアレイ上の金属配線のルールばかりでなくメインロウデコーダ、サブロウデコーダのルールも緩和できるダイナミック型の半導体記憶装置を提供することにある。

【0018】

【課題を解決するための手段】上記課題を解決するために本発明は、次のような構成を採用している。即ち本発明は、複数本のゲート配線からなるワード線と複数本のビット線との交点に選択的にメモリセルが配置されるメモリセルアレイと、ワード線方向のメモリセルアレイ端に配置されるメインロウデコーダと、メモリセルアレイをワード線方向に分割した各サブアレイの端に配置されるサブロウデコーダとを備えた半導体記憶装置において、前記ゲート配線より上層に前記サブロウデコーダからの第1の配線層を形成し、前記サブアレイをワード線方向に2分割した位置で、第1の配線層とゲート配線とのコンタクトを取ることを特徴とする。

【0019】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) サブアレイの一方端のサブロウデコーダからの第1の配線層と反対端のサブロウデコーダからの第1の配線層は、各々のサブロウデコーダからサブアレイを2分割した位置までのみ配線され、かつワード線方向でほぼ同一直線上に配置されていること。

(2) メインロウデコーダとサブロウデコーダを接続する配線は、第1の配線層と同じ配線層であること。

(3) メインロウデコーダとサブロウデコーダを接続する配線は、サブアレイ上は第1の配線層と同じで、サブロウデコーダ上は第1の配線層とは異なる第2の配線層であること。

(4) 第1, 第2の配線層は、共にアルミニウム配線或いは銅配線であること。

(5) ゲート配線は、ポリSi, WSi, W, MSi, M, TiSiの内のいずれかを含む配線であること。

(6) メインロウデコーダは、メモリセルアレイのワード線方向の両端に配置されること。

(7) ゲート配線の4本に3本の割合で第1の配線層が配置されること。

(8) ゲート配線の8本に5本の割合で第1の配線層が配置されること。

【0020】また本発明は、複数本のワード線と複数本のビット線の交点に選択的にメモリセルが配置されるメモリセルアレイと、ワード線方向のメモリセルアレイ端に配置されるメインロウデコーダと、メモリセルアレイをワード線方向に複数に分割した各サブアレイの端に配置されるサブロウデコーダとを備えた半導体記憶装置において、前記ワード線の複数本に1本の割合でメモリセルアレイ上に配置されてサブロウデコーダを制御するメインワード線は、メモリセルアレイの一端に配置される第1のメインロウデコーダと他端に配置される第2のメインロウデコーダに、交互に1本おきに接続されることを特徴とする。

【0021】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) メインワード線は、サブアレイ上は第1の金属配線で、サブロウデコーダ上は第2の金属配線に接続を切り換えられること。

(2) サブアレイ上のゲート配線は、サブロウデコーダ上はビット線と同一配線に切り換えられること。

【0022】また本発明は、複数本のゲート配線からなるワード線と複数本のビット線との交点に選択的にメモリセルが配置されるメモリセルアレイと、ワード線方向のメモリセルアレイ端に配置されるメインロウデコーダと、メモリセルアレイをワード線方向に分割した各サブアレイの端に配置されるサブロウデコーダとを備えた半導体記憶装置において、前記ゲート配線より上層に前記サブロウデコーダからの第1の配線層を形成し、前記サブアレイをワード線方向に2分割して2つの孫アレイに分類し、2つの孫アレイの中間の境界部でゲート配線を2本に1本の割合で分断し、ゲート配線が分断されないワード線に対しては、孫アレイの境界部で第1の配線層とコンタクトを取り、ゲート配線が分断されたワード線のうち、該ワード線を駆動するサブロウデコーダに近いものは、サブロウデコーダとサブアレイの境界部分にお

いて第1の配線層とコンタクトを取り、遠い側のものは、孫アレイの境界部において第1の配線層とコンタクトを取ることを特徴とする。

【0023】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

- (1) サプロウデコードには、ワード線の2本に1本の割合の駆動回路が含まれること。
- (2) ゲート配線が分断されないワード線（ワード線A）の2本に1本を駆動するサプロウデコードはサブアレイの片側に配置され、残りのワード線Aにその出力が接続されるサプロウデコードは反対側に配置され、それぞれの出力は第1の配線層によって孫アレイの境界部分に導かれ、ゲート配線が分断されたワード線（ワード線B）のうち駆動されるサプロウデコードから見て遠い側のゲート材料に対するサプロウデコードの出力は、第1の配線層によって孫アレイの境界部分に導かれ、ゲート材料と第1の配線層の中間で形成される第2の配線層を介してゲート材料に導通すること。
- (3) ワード線に対する第1の配線層からゲート配線層へのコンタクトは、第2の配線層を介すること。
- (4) 第1の配線層がアルミニウム配線であること。
- (5) 第2の配線層がビット線と同一の配線層であること。

【0024】

【作用】本発明によれば、階層ワード線方式において、ゲート配線より上層にサブアレイからの第1の配線層（金属配線）を形成し、サブアレイをワード線方向に2分割した位置で、第1の配線層とゲート配線とのコンタクトを取ることで、サプロウデコードからの金属配線をそのままゲート配線とした場合よりも金属配線のピッチを緩くすることができ、かつゲート配線の低抵抗化を要することなくRC遅延を低減できる。

【0025】即ち、金属配線のピッチをゲート配線のピッチの4/3倍、8/5倍、或いはそれ以上に緩和しつつ、チップサイズの増大なくして、ゲート配線によるRC遅延を従来のスナップ方式と同等にでき、低抵抗ゲート材料の開発が不要となる。又は、ピッチを緩和しつつ、ゲート配線のRC遅延を従来の階層ワード線方式と同一にすると、サプロウデコードの数を半減してチップサイズを縮小することが可能となる。

【0026】これに加えて本発明によれば、2つの孫アレイの中間の境界部でゲート配線を2本に1本の割合で分断し、ゲート配線が分断されないワード線に対しては、孫アレイの境界部で第1の配線層とコンタクトを取り、ゲート配線が分断されたワード線のうち、該ワード線を駆動するサプロウデコードに近いものは、サプロウデコードとサブアレイの境界部分において第1の配線層とコンタクトを取り、遠い側のものは、孫アレイの境界部において第1の配線層とコンタクトを取ることで、ゲートに対する上層配線からのコンタクトの部分に

おいて、4本のワード線のピッチで2本のゲートに対するコンタクトだけを取ればよく、コンタクトに対するゲート材料の余裕をゲート材料の幅或いは間隔程度まで広げることができる。

【0027】また本発明によれば、階層ワード線方式でメインロウデコードをセルアレイの両端に配置し、メインワード線配線を1本おきに交互に両端のメインロウデコードに接続することにより、サブアレイ上の金属配線のピッチを緩和できると共に、メインロウデコードでの金属配線のピッチを従来の2倍に緩和できる。

【0028】また、サブアレイ上は第1の金属配線で、サプロウデコード上は第2の金属配線に接続を切り換えられるようにすると、サプロウデコード内の金属配線はビット線方向に切り換えられるので、いくらでもルールは緩和できる。さらに、サプロウデコード上はメインワード線とビット線方向からの第1の金属配線を一度第1の金属配線に落として、さらに下層に落とすのみに用いて、サブワード線の配線等に用いなければ、サプロウデコード部の第1の金属配線のピッチは緩和できる。

【0029】

【実施例】以下、図面を参照しながら実施例を説明する。

（実施例1）図1は、本発明の第1の実施例に係わるDRAMのメモリセルアレイ部及びロウデコード部の配置接続関係を示す図である。

【0030】メモリセルアレイ端にはメインロウデコード（M・R/D）が配置され、その出力のメインワード線（MWL）はメモリセルアレイ上をゲート配線の4本に1本の割合で通り、メモリセルアレイはワード線方向にサブアレイとして複数に分割され、この間にサプロウデコード（S・R/D）が配置される。このサプロウデコードは、メインワード線とビット線方向から来るアドレス信号によりデコードされ、選択されたサブアレイ内の1本のワード線が選択される点は従来の方式と同じである。なお、メインワード線はA1等の金属配線であり、ゲート配線はポリSi等である。

【0031】本実施例が従来と異なるのは次の点にある。即ち、従来のサプロウデコードの出力は直接サプロウデコードからゲート配線としてサブアレイ内に入っていたが、本実施例においてはゲート配線上に、メインワード線と同一の金属配線層を、サプロウデコードからサブアレイをさらに2分割した部分まで配置し、この分割部でsnap方式と同様にゲート配線とコンタクトを取る。サブアレイの一端からのサプロウデコード出力の金属配線（M00）は2分割点で終り、他端の他のサプロウデコード出力の金属配線（M01）も2分割点で終り、互いにワード線方向で並んで配線しない。これらは、ほぼ同一直線上に配置されるのが望ましい。

【0032】このような構成であれば、ゲート配線の4本に対して金属配線は、メインワード線の1本とsnap

p用の2本の計3本で済み、従来のゲート配線に対してピッチを4/3倍にできる。例えば、ゲート配線の1GビットDRAMクラスでのライン/スペース=0.18/0.2μmを仮定すると、金属配線のライン/スペース=0.24/0.26μmまで緩み、DRAMでは1世代、半世代前の配線加工装置でも十分加工できる。

【0033】図2は、本実施例のサブアレイを2分割した所での金属配線とゲート配線のコンタクト部のレイアウトを示す。図3の(a)は図2のスティック図を示す。図2の例では、ゲート配線の8本に金属配線を6本配置しており、金属配線の左から2番目と5番目はメインワード線配線であり、上の各々1, 3, 4, 6番目の金属配線は上のサブロウデコーダからの信号でこのsnap部分で終端し、図3(c)に示すように1度ビット線を介してゲート配線と接続している。下の各々1, 3, 4, 6番目の金属配線は下のサブロウデコーダからの信号でこのsnap部分で終端し、ゲート配線とつながる。また、図3(d)に示すように直接金属とゲート配線をつないでも良い。

【0034】このように金属配線の1, 3, 4, 6番目は上下が互いに並列に走ることはなくほぼ同一直線上を走るため、結果として図3(b)に示すように、ゲート配線4本に対して金属配線を3本のみ配置すれば良く、設計ルールを緩和できる。

【0035】図4は、本実施例を具体的な回路例で示したものであり、図5はその動作例を示す。例えば、メインワード線/MWL0が選択され“H”レベルから“L”レベルに下がり、ビット線方向からのアドレスWDRV3が選択され、WDRV3が上がり、/WDRV3が下がるとする。すると、サブロウデコーダS・R/D00が活性化され、それにつながる金属配線M02が立ち上がり、snap1, snap2のコンタクトを通してゲート配線SWL3が立ち上がり、メモリセルトランジスタがONしデータが読み出される。

【0036】図4に示すようにサブアレイ内の金属配線とゲート配線のコンタクトは、サブアレイの中央のsnap1の部分に加え、サブロウデコーダの出口の所(snap2)でも取っても良い。

【0037】このような構成では、実際のゲート配線のRC遅延は、従来の階層ワード線方式のように、S・R/D-S・R/D間のカラム数で決まるのではなく、その半分、即ち(S・R/D)-(snap)間のカラム数分のゲート配線長で決まることになる。

【0038】図6に、本発明のゲート遅延を示す。本発明においては、従来のsnap方式におけるカラム数/snapの2倍のカラム数/サブロウデコーダの時、ゲート配線遅延は同一となる。これは、本発明はカラム数/サブロウデコーダでRC遅延が決まらず、その半分のカラム数、即ちsnap-S・R/D間のゲート配線長で決まるためである。

【0039】これは、従来の階層ワード線方式に比べ、同じチップサイズならば、即ち同じサブロウデコーダ分割数ならば(snap部の面積はサブロウデコーダの面積に比べ無視できる)、金属配線ルールを緩和しつつゲート配線のRC遅延を、

$$R/2 \times C/2 = 1/4 RC$$

に、即ち1/4に低減できる。これは、従来の問題点のゲート配線の低抵抗化が不要となることを意味する。

【0040】逆に、階層ワード線方式のサブアレイの分割数の半分の分割数に本発明をすれば、ルールを緩和しつつサブロウデコーダ数を半減し、チップサイズを縮小しつつゲート遅延を同等とすることができる。

【0041】従来のスナップ方式と比べても、snap方式のカラム数/snapの2倍のカラム数/サブロウデコーダで同等のチップサイズを達成でき、このときsnap方式のsnap-snap間のカラム数と、本発明のsnap-S・R/D間のカラム数が同一のため、ゲート配線のRC遅延は同一となり、snap方式に比べ、チップサイズ同等、ゲート遅延同等で金属配線のルールを緩和できる。これは、ゲートの低抵抗化の開発不要でしかもルールの緩和ができることを意味する。

(実施例2) 図7は、本発明の第2の実施例に係わるDRAMのメモリセルアレイ部及びロウデコーダ部の配置接続関係を具体的な回路例で示したものである。図4の例とは、サブロウデコーダの配置数が異なっている。

【0042】図4ではサブアレイAとサブアレイB間のサブロウデコーダの出力はサブアレイA, B両方に共用であるが、図7では独立に動作可能である。これは、ビット線方向からのアドレスがサブアレイAではWDRV3, WDRV1で制御しているが、サブアレイBではWDRV0', WDRV2'で制御しているためである。

【0043】図7のサブロウデコーダ回路のトランジスタの素子数は2倍になるが、各トランジスタの負荷は片側のサブアレイのみ駆動するため半分になり、トータル面積はほぼ同等となる。このように図7の回路では、1つのサブアレイのみ活性化することが可能で、これにより低消費電力化できる。

(実施例3) 図8は、本発明の第3の実施例に係わるDRAMのメモリセルアレイ部及びロウデコーダ部の配置接続関係を示す図である。

【0044】この実施例では、ゲート配線の8本に1個のメインロウデコーダ(M・R/D)と1本の金属配線であるメインワード線(MWL)と、各サブロウデコーダ(S・R/D)に4本の金属配線の出力を出している。この例では、図9に示す通り、ゲート配線の8本に対し、1本+4本の計5本の金属配線を配置しているため、金属配線のピッチ(L5+S5)=8/5(L1+S1)と8/5倍より緩くに緩和しつつ、第1の実施例と同等の効果がある。

【0045】図10は、本実施例の具体的な回路例を示

している。メインワード線 (MWL) をゲート配線 (SWL) の8本に1個にすることにより、ビット線方向からのアドレス数を、図4の例の2倍必要とする。この例でも、図7のようなサブアレイ独立の構成は可能である。

【0046】図4、図7、図10の例ではCMOSでサブロウデコーダを構成しているが、nMOSのみで構成しても良いし、他の回路例でも良い。

(実施例4、5) 図11及び図12に、本発明の第4、第5の実施例を示す。これらの実施例は図1、図8とは異なり、メインロウデコーダ (M・R/D) をセルアレイの両端に配置したもので、メモリセルアレイ、サブロウデコーダばかりでなくメインロウデコーダの設計ルールも緩和した例である。

【0047】図11に示す第4の実施例では、ゲート配線の8本に1個のメインロウデコーダ、図12に示す第5の実施例では、ゲート配線の16本に1個のメインロウデコーダ配置に緩和できる。

(実施例6) 図13は、本発明の第6の実施例に係わるDRAMの要部構成を説明するためのもので、サブロウデコーダの一部のレイアウト図を示す。

【0048】サブロウデコーダ上にメインワード線 (MWL) となる第1層金属配線 (メタル1) が通るため、その1本分だけサブロウデコーダ内の第1層金属配線のピッチが厳しくなるとは、いくらセルアレイ内の第1層金属配線のピッチを緩和しても意味がない。

【0049】図13のように例えば、ビット線方向からの信号及び電源を第2層金属配線 (メタル2) で走らせ、第1層金属配線を介して他の拡散層、トランジスタ等と接続する場合、第1層金属配線を介するだけ、さらにサブロウデコーダの第1層金属配線のピッチは厳しくなる。特に、メタル1-メタル2間のコンタクト (VIAコンタクト) が大きい場合むずかしい。この例ではこれ以上メタル1を増やすとルールがセルアレイより厳しくなる。

【0050】このようにサブロウデコーダ上のメインワード線の配線とサブアレイ上のメインワード線の配線を同一金属層にしても良いし、次に示す図14、図15の異なる金属層にしても良い。

(実施例7) 図14及び図15は、本発明の第7の実施例を示し、図14より第1層金属配線 (メタル1)、第2層金属配線 (メタル2)、メタル1-メタル2間コンタクトを抜き出したものが、図15となる。

【0051】図15のようにサブアレイ上はメインワード線 (MWL) とサブワード線 (SWL) を同一の第1層金属配線とし、サブロウデコーダではメインワード線を第2層金属配線に切り換えている。また、ビット線方向からのアドレス信号、電源等は第1層金属配線で走らせ各回路に接続する。

【0052】こうするとアドレス信号、電源を第2層金

属配線から第1層金属配線を介して回路につなぐ必要はなく、第1層金属配線から回路につなぐため、不要なメタル1-メタル2間コンタクトや第1層金属配線の中継ぎが不要になるため第1層金属配線のルールが緩和できる。

(実施例8) 図16は、本発明の第8の実施例に係わるDRAMのメモリセルアレイ部とロウデコーダ部の配置接続関係を示す図である。

【0053】メモリセルアレイをワード線方向に複数に分割し (この例では4分割)、サブアレイとして、その間にサブロウデコーダ (S・R/D) を分割配置する。このサブロウデコーダは、ワード線方向のメインワード線 (MWL) のアドレスとビット線方向からのアドレスでデコードしてサブワード線 (SWL) としてゲート配線でサブアレイに入る。

【0054】これにより、第1にサブロウデコーダ間隔は分割により小さいので、図1の例のようなsnapを不要にできる。また、ビット線方向のアドレスがあるため、ワード線方向の金属配線のメインワード線のピッチはこの例では4倍に大幅に緩和できる。これにより、サブセルアレイ上の金属配線の加工は非常に容易になる。図上から分かる通り、金属配線がゲート配線の4本に1本の割合であることが分かる。

【0055】第2にメインワード線を駆動するメインロウデコーダは、メモリセルアレイの両端に配置されており、複数のメインワード線は1本おきに交互に両端のメインロウデコーダに接続される。これにより、明らかにメインロウデコーダ内の金属配線のピッチは従来の階層ワード線方式 (図23) の2倍に緩和できる。従って、従来のサブアレイ上のピッチに比べロウデコーダ内の金属配線のピッチが著しく厳しい問題は解決される。

【0056】図17は、本実施例におけるメインロウデコーダ部のレイアウト図を示す。ここでは見やすいようにメタル1、メタル2、メタル1-メタル2間コンタクト層のみを表示している。メインワード線のメタル1のピッチは、メインロウデコーダとサブロウデコーダのつなぎ部分 (A) では両端おきのため、サブアレイ上のメタル1の2倍に緩和される。

【0057】トランジスタQ1が配置されるトランジスタ部 (B) においても昇圧電源VSV用のメタル1の配線があってもそのピッチはサブアレイ上のメタル1のピッチと同等である。その前段駆動部トランジスタQ2のピッチは (C部) サブセルアレイ上に比べ、2/2.5倍で少しきびしい程度で従来方式に比べ大幅に緩和できる。但し、この (C) 部のメタル1は、メインワード線に直接接続されないため、メインワード線のRC遅延とは関係なく、メタル1である必要はない。

【0058】図18 (a) (b) に、本実施例のサブロウデコーダ部のレイアウトを示す。図18 (a) において、メインワード線をメタル1でサブロウデコーダを通

して、ビット線方向からの信号(WDRV_i)は1度メタル2からメタル1に落として、その下層に落としているため、サブアレイ上のメタル1のピッチの半分之一になる。(M部)しかし、ゲート配線のサブワード線はビット線と同一配線を用いて、サブロウデコーダ中を引き回すため、従来の図24の(D)部のようにせずルールは緩和される。

【0059】さらに、図18(b)のように、サブロウデコーダ上はサブアレイ上のメタル1の配線をメタル2に切り換えることにより、図18(a)の(M)部のような部分は無くなる。これは、ビット線方向からの信号をメタル1に変え、直接下層におとすので、その上層のメタル2とは関係無く配線できるためである。さらに、サブワード線をビット線配線でサブロウデコーダ中を引き回すことにより、結果として、メタル1のピッチは、サブアレイ上とサブロウデコーダ上と同一にできる。

(実施例9)図19は、本発明の第9の実施例に係わるDRAMのメモリセルアレイ部とロウデコーダ部の配置接続関係を示す図である。

【0060】これは、サブロウデコーダ(S・R/D)に入るビット線方向からのアドレスを増加させ、メインワード線(MWL)のピッチをサブワード線(SWL)のピッチの8倍にした例である。このとき、メインロウデコーダ(M・R/D)のアレイ両端配置により、メインロウデコーダのメタル1のピッチは図16のピッチのさらに2倍にできる。

(実施例10)前述した第1の実施例においては、A1の金属配線層からポリSiのゲート配線へのコンタクトを、ゲート配線が最小ピッチで並んだ部分で取らなければならない。ここで、例えば最小加工寸法をFとすると、ワード線の幅と間隔がそれぞれF、コンタクトのサイズがF×Fの正方形となるため、コンタクトの位置に対してゲート配線を十分大きく取ることができない。このとき、ゲート配線とコンタクトの加工において、それぞれのマスクの基板に対する相対位置が互いにずれてしまった場合、ゲートからコンタクトがはみ出して形成されてしまうので、ゲート配線と基板とがショートしてしまうという問題がある。

【0061】コンタクトの穴はRIEで開けられるが、通常は層間膜とゲート材料とでエッチレートの異なるプロセスが用いられる。即ち、例えば層間膜にSiO₂、ゲート材料にポリSiを用いる場合、ポリSiのエッチレートが小さく、SiO₂のエッチレートが大きいRIEプロセスを用いることになる。ところが、コンタクトがゲート配線に対してずれて配置されてしまった場合、ゲート材料で止まるはずの穴が基板まで突き抜けてしまう。このため、ゲートに対して与えるはずの電位を、基板に対して与えることになり、ゲートと基板がショートすることになるのである。

【0062】本実施例は、第1の実施例のような、チッ

プ面積の増大やワード線のRC遅延増大を招くことなく金属配線の配線ピッチを従来のsnap方式に比べて緩和できる方式において、ゲートに対するコンタクトに対して加工余裕がない問題を解決したものである。

【0063】図25は、本発明の第10の実施例で、ワード線の駆動回路とゲート配線及びゲートよりも上層の配線を模式的に表したものである。図26は、本実施例のレイアウトの例で、孫アレイの境界部分のものである。なお、図26において、(a)はゲート配線、ビット線配線、メタル配線の全てを示し、(b)はゲート配線とビット線配線を示し、(c)はビット線配線とメタル配線を示し、(d)はゲート配線のみを示している。

【0064】本実施例では、ゲート4本分のピッチにアルミニウムの配線が3本となり、上層の金属配線層の加工ピッチを緩和してある。ビット線の配線層は、アルミニウムの配線層とゲートの配線層の中間で加工され、この部分ではアルミニウムとゲートのコンタクトは、一旦ビット線の配線を介して取られている。この部分におけるビット線の加工ピッチは、本実施例ではゲート4本分のピッチに最高2本のビット線配線が重なるのみで、ゲート配線層に比べて十分緩和された加工寸法を実現している。

【0065】ここまでの基本構成は第1の実施例と同様であり、本実施例はこれに加えて、ゲート配線を2本に1本の割合で分断したことを特徴としている。即ち、サブアレイをワード線方向に2分割した孫アレイの中間の境界部でゲート配線を2本に1本の割合で分断し、ゲート配線が分断されないワード線に対しては、孫アレイの境界部で上層の金属配線層とコンタクトを取る。そして、ゲート配線が分断されたワード線のうち、該ワード線を駆動するサブロウデコーダに近いものは、サブロウデコーダとサブアレイの境界部分において金属配線層とコンタクトを取り、遠い側のものは、孫アレイの境界部において金属配線層とコンタクトを取るようになっている。

【0066】本実施例のゲート配線及びゲートとビット線のコンタクトのレイアウトは、図26(d)に示すように、コンタクトの回りにゲートの余裕を十分取ることができる。具体的には、ゲート配線の幅と間隔をそれぞれ最小加工寸法F、コンタクトをF×Fの大きさで作る場合でも、コンタクトの回りにゲート配線を、それぞれFの幅の余裕を持って配置することができる。

【0067】これにより、ゲート配線とコンタクトの相対的な位置が加工時に最悪Fの大きさだけずれた場合でも、ゲートに対するコンタクトが、ゲートを外れて基板まで突き抜けることを回避することができる。これは、ワード線の2本に1本を孫アレイ毎に切断し、この切断部分でビット線とゲートのコンタクトを取ることで実現されている。

【0068】切断されたワード線WLB1, WLB2

は、2つの孫アレイの境界部分の上下で電氣的に導通している。これは、図27に示すように、サブロウデコーダと第1の孫アレイの境界部分で、第1の孫アレイに属するゲートに対するコンタクトをアルミニウムの配線層から取り、第1、第2の孫アレイの境界部分で、ビット線の配線層を介して第2の孫アレイに属するゲートに対するコンタクトを取ることによって実現されている。ビット線を介してアルミニウムの配線とゲート配線を接続する構成は前記図3(c)に示す通りである。

【0069】ここで、孫アレイの境界部分で一旦ビット線の配線層を介する理由の一つは、アルミニウムの配線層から直接ゲートに対するコンタクトを取るには、非常に深い、即ちアスペクト比の高いコンタクトの穴をあける必要があり、技術的に困難であるので、ビット線配線層を介することによってコンタクトの工程を作りやすくする点である。

【0070】もう一つの理由は、図28に説明したように、WLB1を駆動するための第1のサブロウデコーダから遠い側(第2の孫アレイ)のゲートに対する配線と、サブアレイの反対側に配置された、WLB2を駆動する第2のサブロウデコーダからの第1の孫アレイに属するゲートに対する配線が、互いに交差しなくてはならず、金属配線層を介したまま交差させようとすると、アルミニウムの加工ピッチを小さくしなければならなくなってしまうので、ビット線配線層を用いることによって、これらの配線を交差させていることである。

【0071】このように本実施例によれば、第1の実施例と同様の効果が得られるのは勿論のこと、ゲートに対する上層配線からのコンタクトの部分において、4本のワード線のピッチで2本のゲートに対するコンタクトだけを取ればよく、コンタクトに対するゲート材料の余裕を、ゲート材料の幅或いは間隔程度にまで広げることができる。

(実施例11) 図29は、本発明の第11の実施例に係わるレイアウトの例を示す図であり、(a)はゲート配線、ビット線配線、メタル配線の全てを示し、(b)はゲート配線とビット線配線を示し、(c)はビット線配線とメタル配線を示し、(d)はゲート配線のみを示している。

【0072】第10の実施例では、2つの孫アレイのそれぞれにおいて、電氣的に等価なワード線は同一直線上に配置されているが、本実施例では孫アレイ毎にワード線が同一直線上にはない配置の例を示している。このような構成であっても、第10の実施例と同様の効果が得られる。なお、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0073】

【発明の効果】以上詳述したように本発明によれば、金属配線のピッチをゲート配線のピッチの4/3倍、8/

5倍、或いはそれ以上に緩和しつつ、チップサイズの増大なくして、ゲート配線によるRC遅延を従来のsnap方式と同等にでき、低抵抗ゲート材料の開発が不用となる。或いは、ピッチを緩和しつつ、ゲート配線のRC遅延を階層ワード線方式と同一にするとサブロウデコーダの数を半減し、チップサイズを縮小できる。

【0074】また本発明によれば、階層ワード線方式で、サブアレイ上のメタル1のピッチは緩和できる反面、メインロウデコーダ、サブロウデコーダ×メタル1のピッチは、従来のままで、結局この部分でメタル1のピッチが制約されるのに対して、メインロウデコーダをセルアレイの両端に配置し、メインワード線配線を1本おきに交互に両端のメインロウデコーダに接続するため、従来のメインロウデコーダのピッチを2倍に緩和できる。

【図面の簡単な説明】

【図1】第1の実施例に係わるDRAMのメモリセルアレイ部及びロウデコーダ部の配置接続関係を示す図。

【図2】第1の実施例のサブアレイを2分割した所での金属配線とゲート配線のコンタクト部のレイアウトを示す図。

【図3】第1の実施例の各部の構成を示す図。

【図4】第1の実施例を具体的な回路例で示した図。

【図5】図4の動作を説明するための図。

【図6】本発明におけるゲート遅延を説明するための図。

【図7】第2の実施例に係わるDRAMのメモリセルアレイ部及びロウデコーダ部の配置接続関係を具体的な回路例で示した図。

【図8】第3の実施例に係わるDRAMのメモリセルアレイ部及びロウデコーダ部の配置接続関係を示す図。

【図9】第3の実施例における配線ピッチを示す図。

【図10】第3の実施例の具体的な回路例を示す図。

【図11】第4の実施例に係わるDRAMのメモリセルアレイ部及びロウデコーダ部の配置接続関係を示す図。

【図12】第5の実施例に係わるDRAMのメモリセルアレイ部及びロウデコーダ部の配置接続関係を示す図。

【図13】第6の実施例に係わるDRAMの要部構成を説明するためのもので、サブロウデコーダの一部のレイアウトを示す図。

【図14】第7の実施例におけるサブロウデコーダ部のレイアウトを示す図。

【図15】第7の実施例におけるサブロウデコーダ部のレイアウトを示す図。

【図16】第8の実施例に係わるDRAMのメモリセルアレイ部とロウデコーダ部の配置接続関係を示す図。

【図17】第8の本実施例におけるメインロウデコーダ部のレイアウトを示す図。

【図18】第8の本実施例のサブロウデコーダ部のレイアウトを示す図。

【図19】第9の実施例に係わるDRAMのメモリセルアレイ部とロウデコーダ部の配置接続関係を示す図。

【図20】従来のDRAMのセルアレイ部の構成を示す図。

【図21】従来のDRAMにおける階層ワード線方式を示す図。

【図22】従来方式における配線ピッチを示す図。

【図23】図21のチップの上から見た平面ブロック図。

【図24】従来の問題点を説明するための図。

【図25】第10の実施例におけるワード線の駆動回路、ゲート配線及びゲートよりも上層の配線を模式的に表した図。

【図26】第10の実施例における孫アレイの境界部分のレイアウトを示す図。

【図27】第10の実施例におけるワード線の配線構造を示す図。

【図28】孫アレイの境界部分における配線の交差の説明図。

【図29】第11の実施例における孫アレイの境界部分のレイアウトを示す図。

【符号の説明】

1…第1層金属配線

2…第2層金属配線

MWL…メインワード線

SWL…サブワード線

M・R/D…メインロウデコーダ

S・R/D…サブロウデコーダ

WDRV…ビット線方向からのアドレス

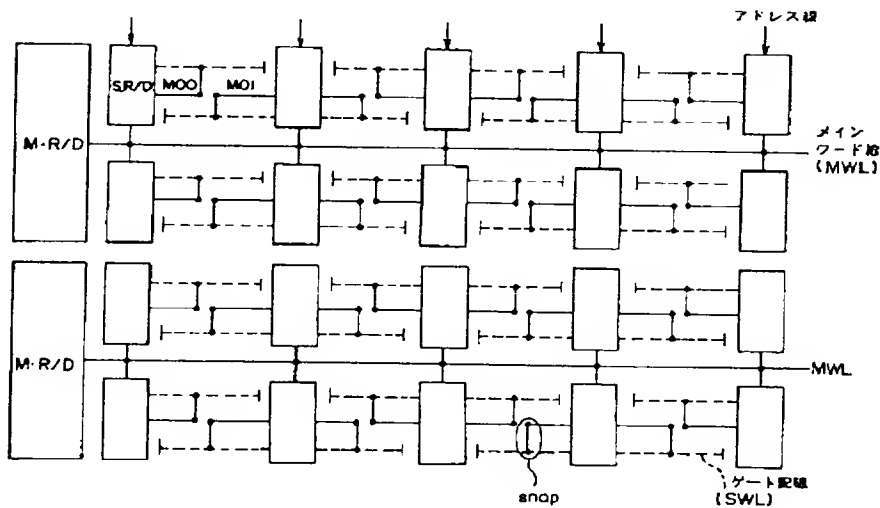
WL…ワード線

MC…メモリセル

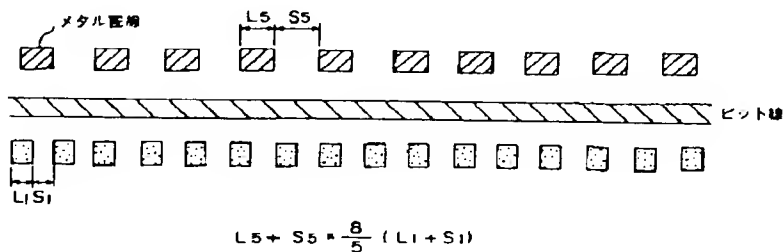
BL…ビット線

VSV…ワード線用昇圧電源

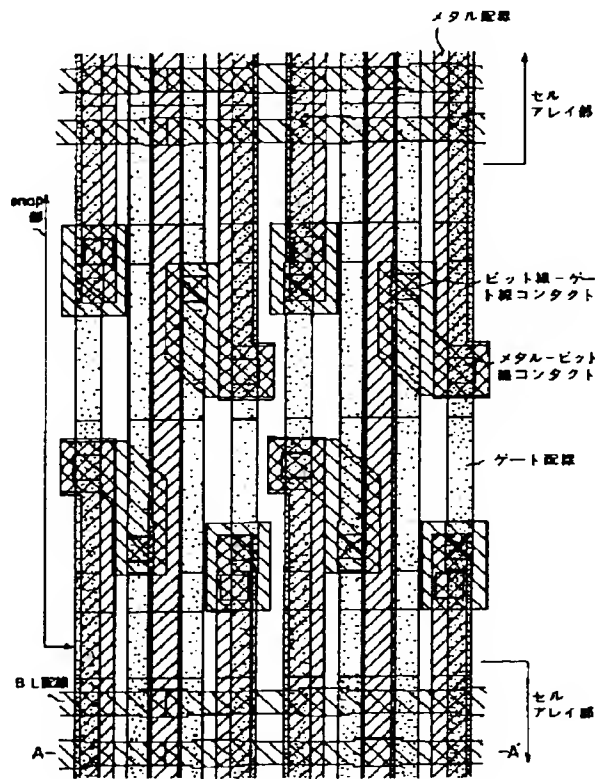
【図1】



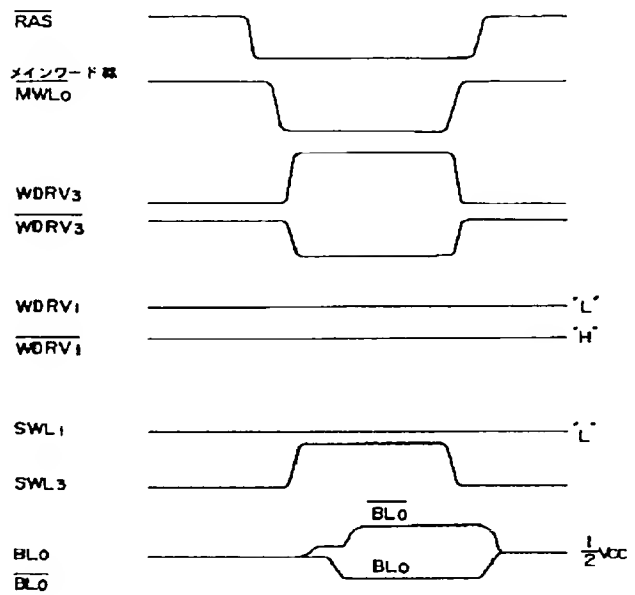
【図9】



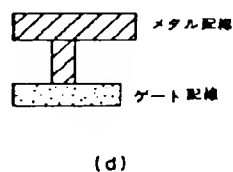
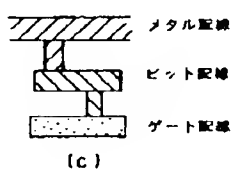
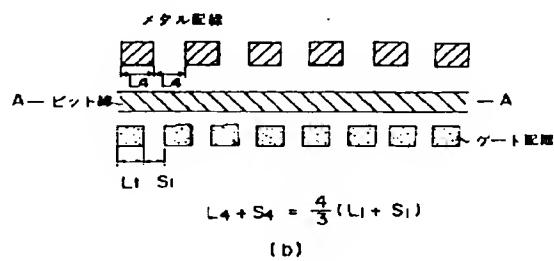
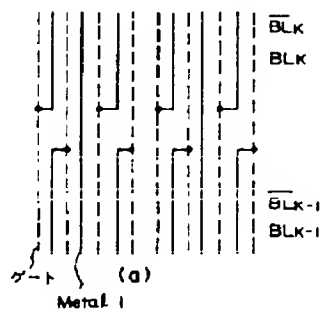
【図 2】



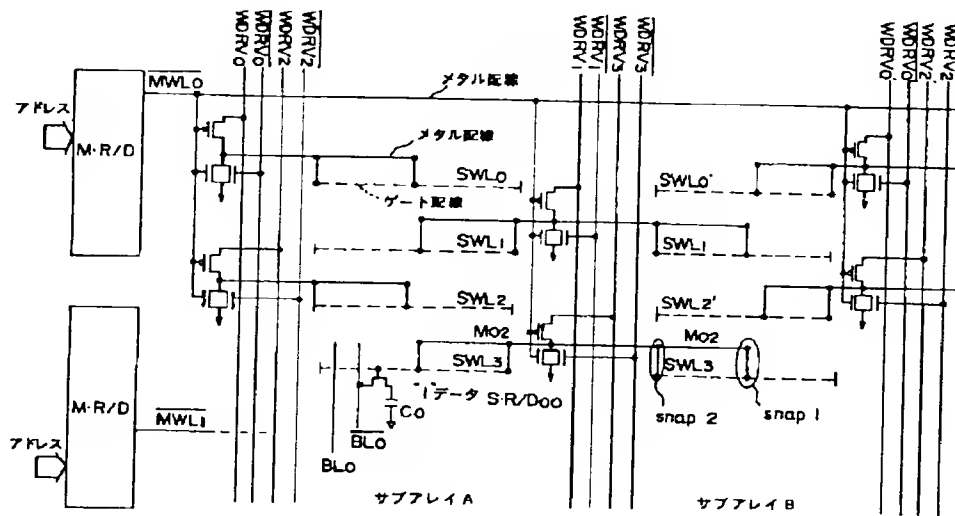
【図 5】



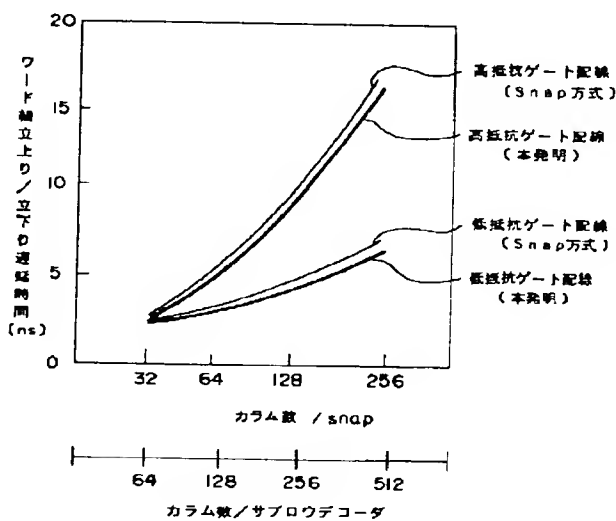
【図 3】



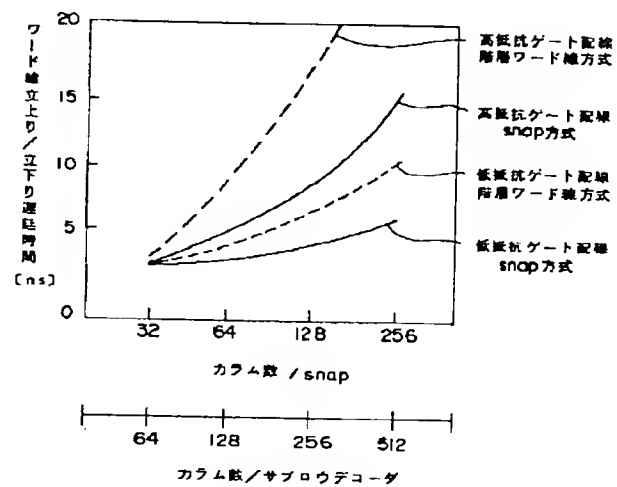
【図4】



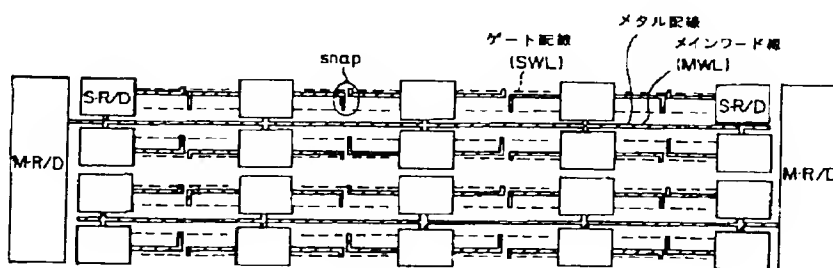
【図6】



【図22】



【図11】



【図27】

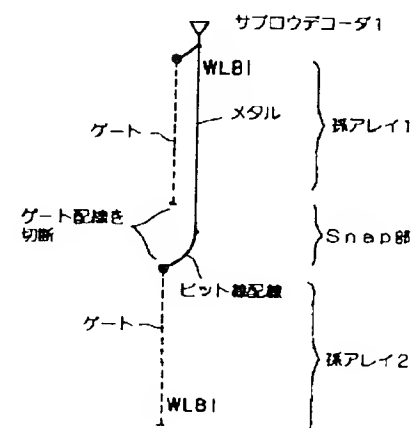
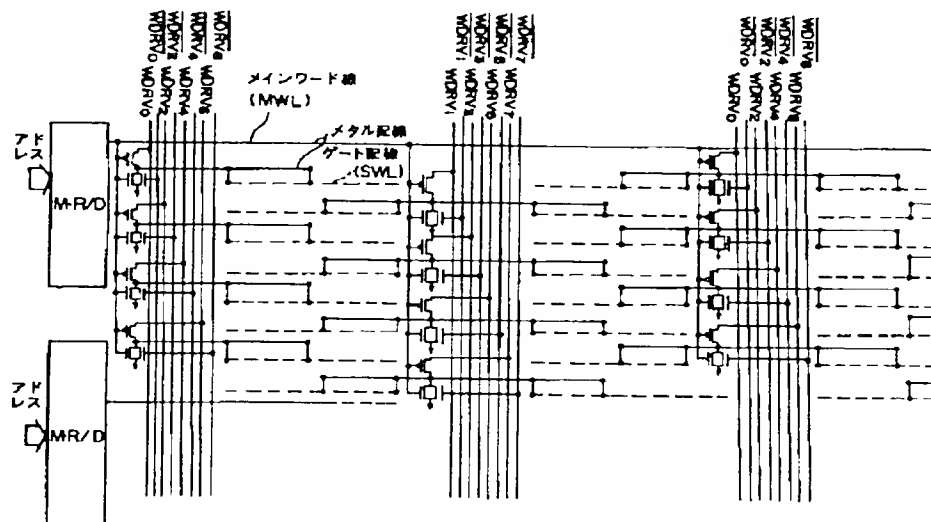


Figure 1 is a schematic diagram of a semiconductor device. It shows a grid of 4 rows and 8 columns of square blocks. On the left, there are two vertical bars labeled 'S-R/D' and 'M-R/D'. On the right, there is a vertical bar labeled 'main word line (MWL)'. The top row is labeled 'gate wiring' and 'metal wiring'. The bottom row is labeled 'gate wiring (SWL)'.

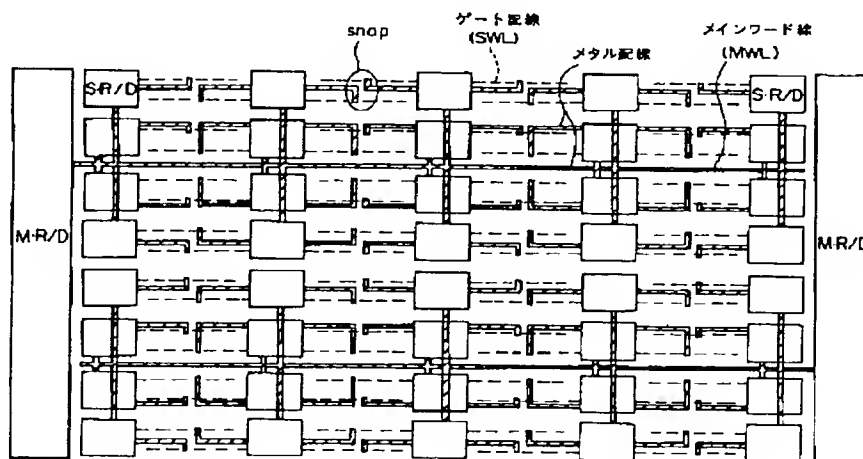
サブアレイ部

サブロウデコーダ部

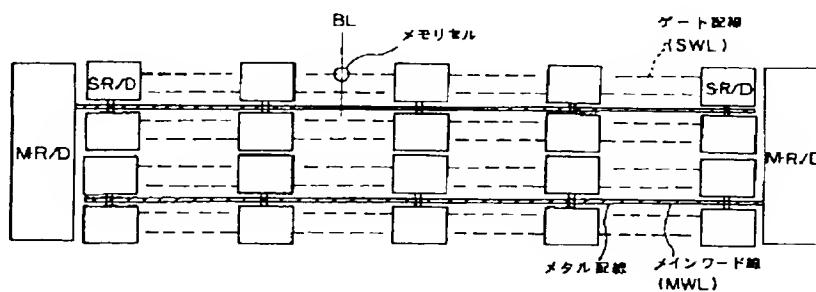
【図10】



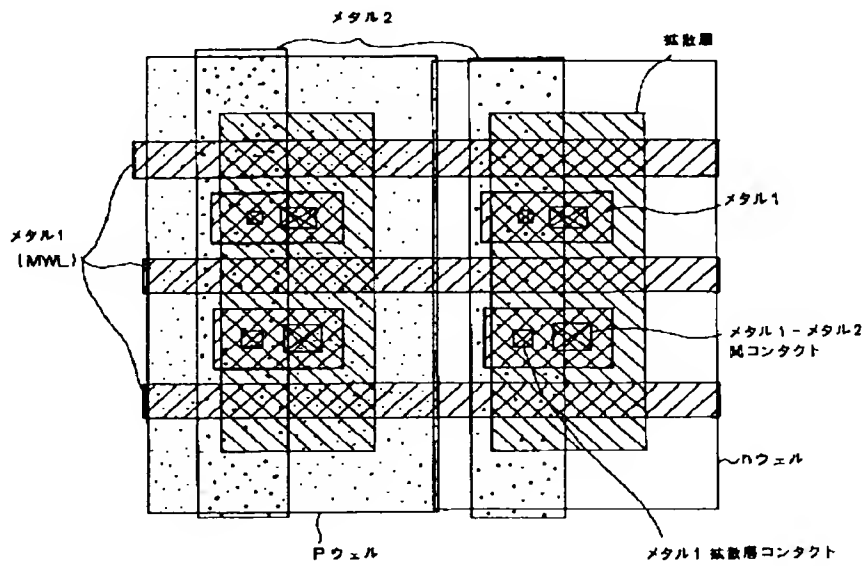
【図12】



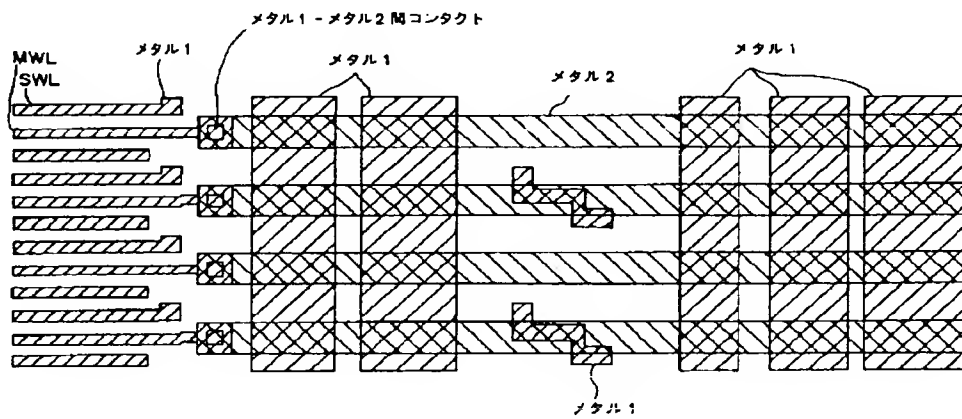
【図16】



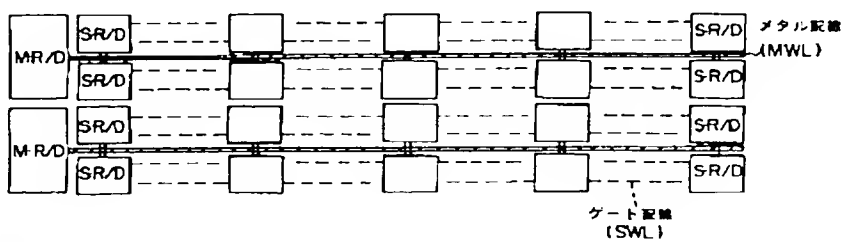
【図13】



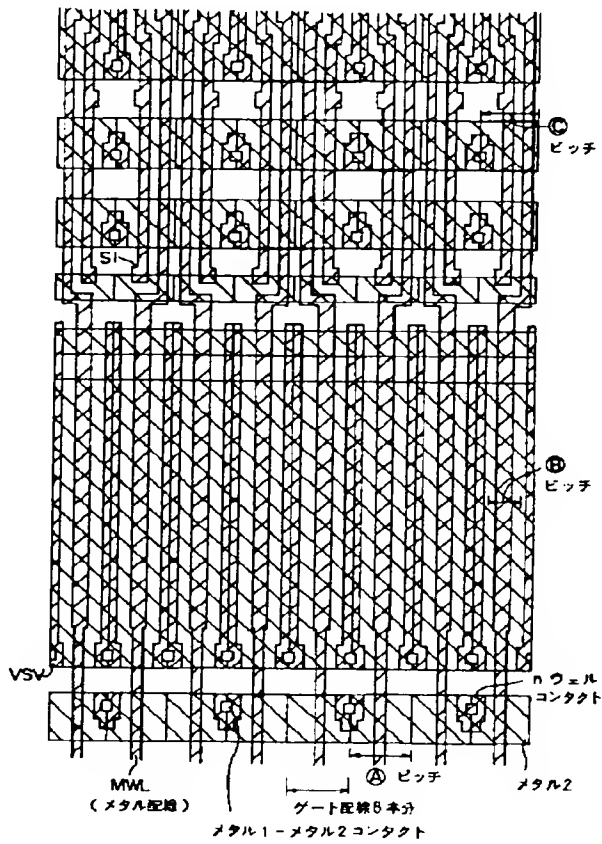
【図15】



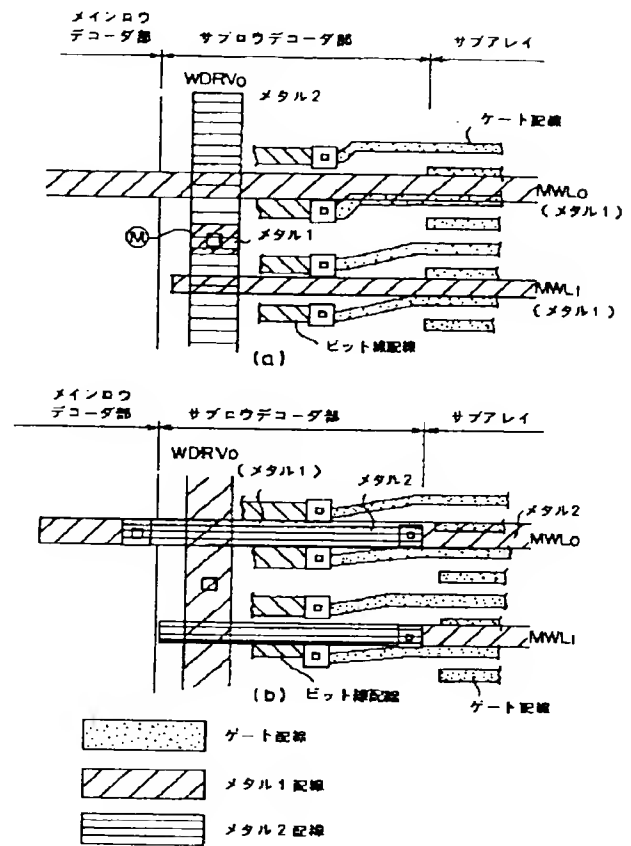
【図23】



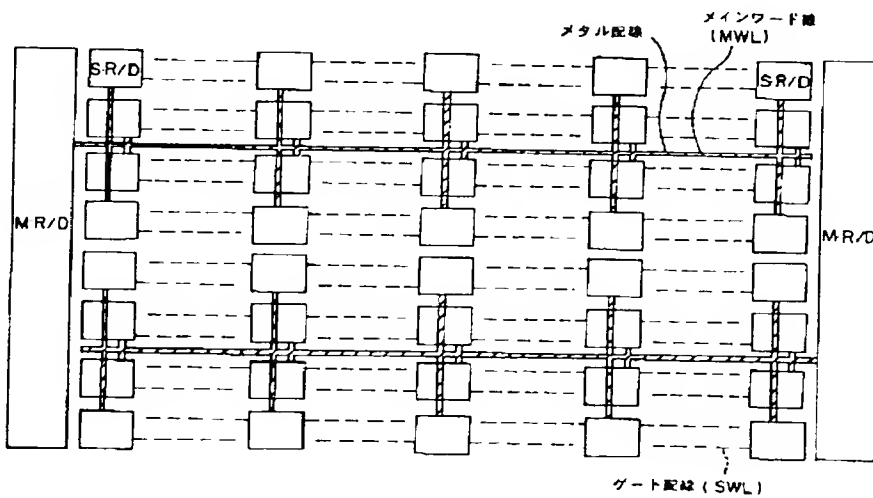
【図17】



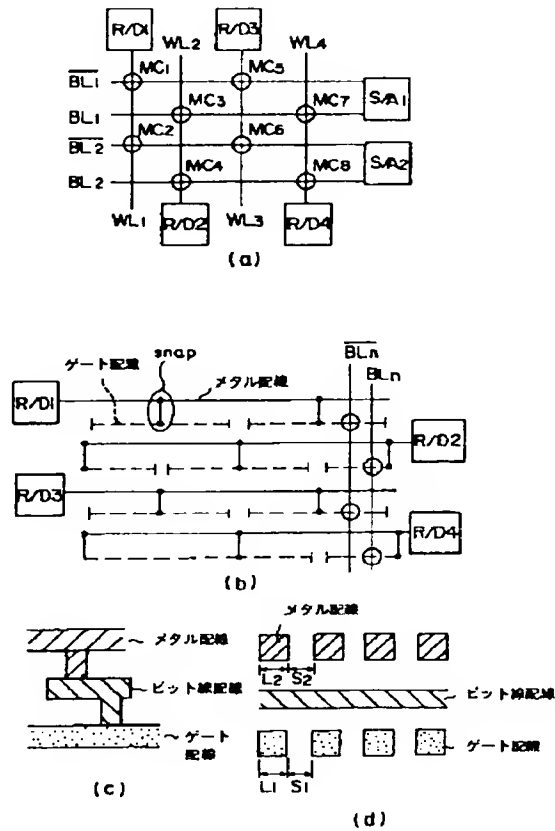
【図18】



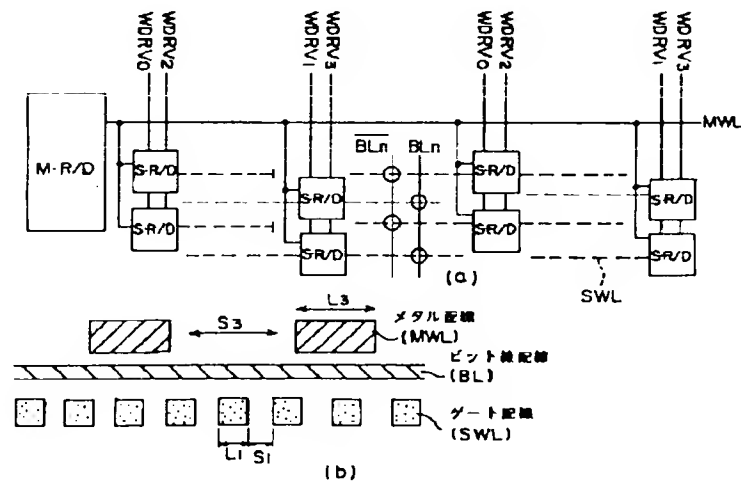
【図19】



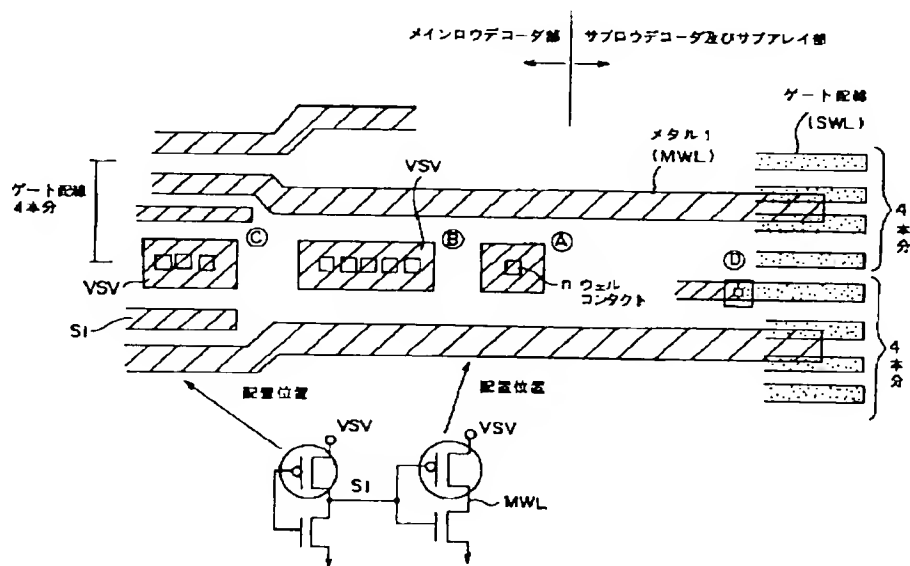
【図20】



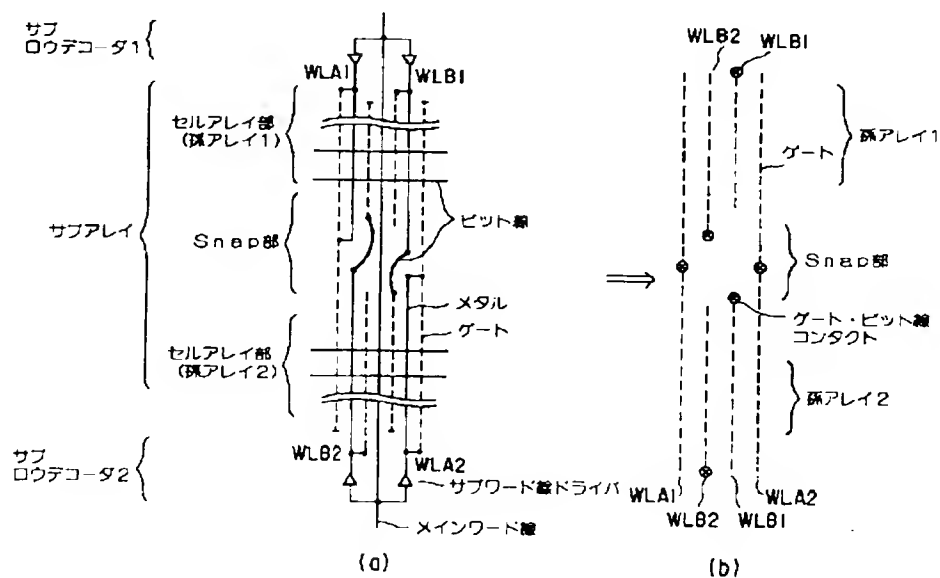
【図21】



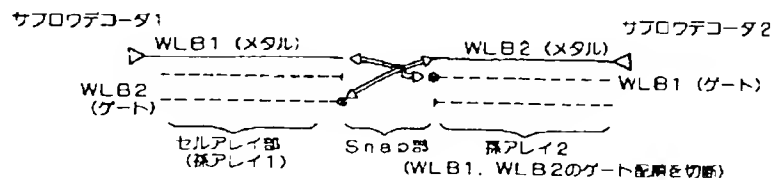
【図24】



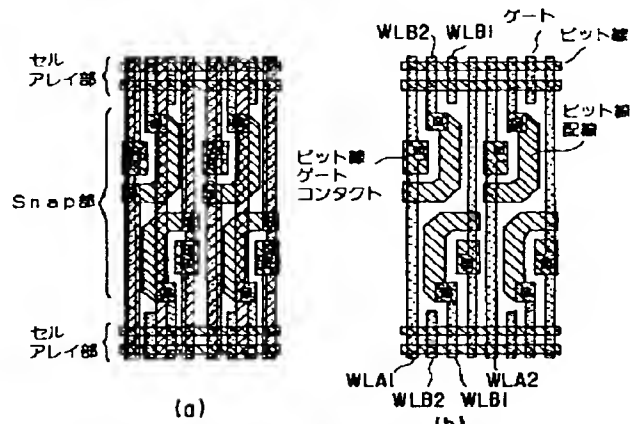
【図25】



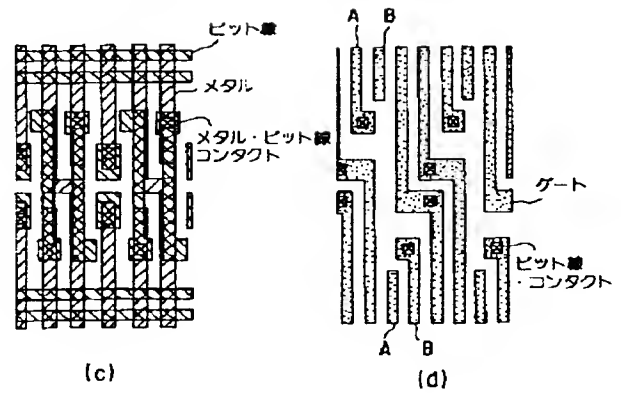
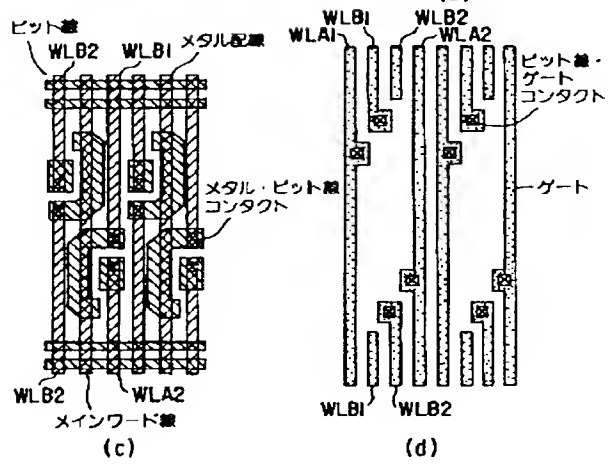
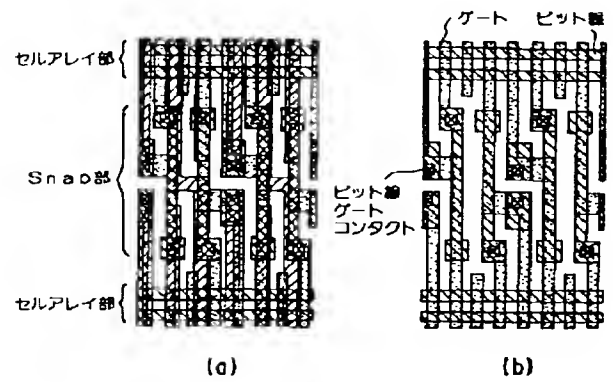
【図28】



【図26】



【図29】





100

100